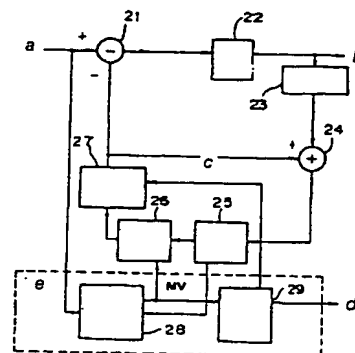


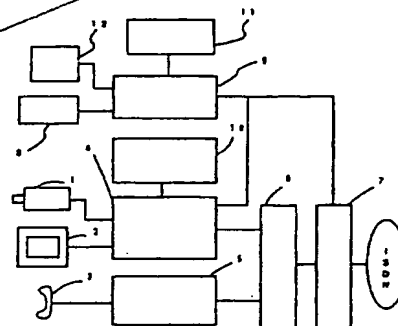
**CONSTITUTION:** This device is equipped with a 1/2 picture element movement compensation predicting part 28 which operates a 1/2 picture element movement compensation prediction and searches the moving vector of a size notched by a 1/2 picture element, in-loop filter 27 which puts a filter on a prediction screen, and judging part 29 which outputs an on/off control signal for turning-on the in-loop filter 27 to the in-loop filter 27 when the moving vector searched by the 1/2 picture element movement compensation predicting part 28 is set to the 1/2 picture vector.



22: quantizer, 23: inverse quantizer, 25: frame memory,  
26: variable delay circuit, a: input, b: prediction error,  
c: ON/OFF control signal, d: moving vector, e: MC part

(11) 5-219500 (A) (43) 27.8.1993 (19) JP  
(21) Appl. No. 4-22383 (22) 7.2.1992  
(71) MATSUSHITA ELECTRIC IND CO LTD (72) TOSHIHIRO NISHIMURA  
(51) Int. Cl.<sup>8</sup> H04N7/14; H04M11/06; H04N7/173

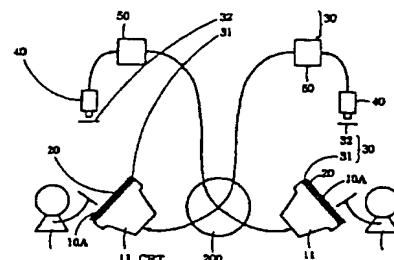
**CONSTITUTION:** This device is equipped with an image memory 10 which stores a preliminary picture instead of the video of a camera 1 telephone number registering part 11 which registers a specific telephone number, automatic transmission designating means 12 which sets whether or not the video of the camera 1 is to be automatically transmitted to the other party. And also, the device is equipped with a terminal control part 9 which transmits the video of the camera 1 when the telephone number is already registered and the automatic transmission is already designated, and which transmits the preliminary picture from the image memory 10 when the telephone number is not registered or the automatic transmission is not designated.



2: monitor, 3: receiver, 4: moving picture CODEC part,  
5: voice CODEC part, 6: multiplexing and separating part,  
7: line interface part, 8: key control part

(11) 5-219501 (A) (43) 27.8.1993 (19) JP  
(21) Appl. No. 4-135595 (22) 30.4.1992 (33) JP (31) 91p.156208 (32) 31.5.1991  
(71) NIPPON TELEGR & TELEPH CORP <NTT>  
(72) MINORU KOBAYASHI(2)  
(51) Int. Cl.<sup>7</sup> H04N7/15.G09G5/00.H04N5/262

**CONSTITUTION:** A picture sent from an opposite party is displayed on a CRT 11, a plotted picture of the user UA on a half mirror and a picture reflected in the half mirror are picked up simultaneously by a video camera 40 and the pick-up picture is sent to the opposite party. Moreover, infinite repetition of pattern display that a picture displayed on a screen 10A of the CRT 11 is displayed on an opposite terminal equipment and then displayed again onto its own terminal equipment is prevented by polarized plates 31, 32 being display picture pickup prevention means 30.



**BEST AVAILABLE COPY**

20: half mirror, 50: picture modification device, 200: communication network, UB: user

BEST AVAILABLE COPY

1

【特許請求の範囲】

【請求項1】 1/2画素による動き補償予測を行って1/2画素刻みの大きさの動きベクトルを求める1/2画素動き補償予測部(28)と、

予測画面にフィルタをかけるループ内フィルタ(27)と、

該1/2画素動き補償予測部により求められた動きベクトルが1/2画素ベクトルの時に該ループ内フィルタをオンにするオン/オフ制御信号を該ループ内フィルタに出力する判定部(29)とを備えた動画像符号化装置。

【請求項2】 1/2画素による動き補償フレーム間予測を行って1/2画素刻みの大きさの動きベクトルを求める1/2画素動き補償予測部と、

予測画面にフィルタをかけるループ内フィルタと、

1/2画素動き補償予測部により求められた動きベクトルが1/2画素ベクトルであり、かつ動きベクトルのノルムが所定のしきい値より大きかった時に該ループ内フィルタをオンに制御するオン/オフ制御信号を該ループ内フィルタに出力する判定部とを備えた動画像符号化装置。

【請求項3】 該1/2画素動き補償予測部で求められた動きベクトルが1/2画素ベクトルである時には、その1/2画素ベクトルを整数画素ベクトルに整数化して送信し、その整数化をする際に(0,0)ベクトルに近づくよう小数部を切捨てて整数化するよう構成された請求項1または2記載の動画像符号化装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は動き補償予測器とループ内フィルタを持つ動画像符号化装置に係り、更に詳しくはループ内フィルタをオン/オフ制御する技術に関するものである。

【0002】

【従来の技術】動画像信号の高効率符号化においては、圧縮率を高める方式として動き補償フレーム間予測符号化(以下、単に動き補償予測という)方式が知られている。この動き補償予測では、画面をある大きさのブロック(例えば16画素×16ラインのブロック)に分割し、各ブロックについて予測画面の中から予測誤差が最も少ないブロックを探索するもので、その探索の結果得られる動きベクトルは画面中の物体の動きを表す情報として受信側に送られる。

【0003】この動き補償予測は通常、実画素からなる予測画面に対して行われ、動きベクトルとしては整数画素ベクトル(すなわち小数部のないベクトル)が得られる。このように整数画素単位で予測を行う方式を整数画素動き補償予測と称している。

【0004】また、後述するように、実画素と実画素の間の仮想的な1/2画素(ハーフペル)を周囲の実画素から補間により求め、その仮想画素(補間画素)をも予

2

測画面として利用する動き補償もあり、これは1/2画素(ハーフペル)動き補償予測と呼ばれる。

【0005】図7には、CCITT勧告H.261に準拠した動画像符号化装置が示される。この動画像符号化装置は予測方式として整数画素動き補償予測を用いており、この機能に加えて更にループ内フィルタを備えている。

【0006】図7において、1は入力画面と予測画面との差をとって予測誤差信号を出力する減算器、2は予測誤差信号に離散コサイン変換を行うDCT回路、3は離散コサイン変換をした予測誤差信号を量子化する量子化器、4は量子化器3の出力信号を逆量子化する逆量子化器、5は逆量子化した信号を更に離散コサイン逆変換するIDCT回路、6はIDCT回路5の出力信号に予測画面を加算して局部復号信号を出力する加算器、7は局部復号した画面をフレーム単位に保持するフレームメモリ、8はフレームメモリの出力信号を可変遅延する可変遅延回路、9は可変遅延回路8から出力される予測値にフィルタをかけるループ内フィルタ、13は入力画面とフレームメモリ7の局部復号された画面とを比較しその結果に基づいて動きベクトルMVを生成して可変遅延回路8の遅延量を制御する動き補償予測部である。

【0007】ループ内フィルタ9は量子化誤差の加算されている局部復号信号に対して低域通過のフィルタをかけることにより、予測誤差信号として符号化しにくいパルス状の信号を減少させるためのものであり、このループ内フィルタのオン/オフをうまく制御することにより符号化効率を向上させることができる。

【0008】図8にはこのループ内フィルタ9におけるフィルタ特性の一例が示される。ここでは8画素×8ラインのブロックを単位にフィルタをかける。このフィルタ処理を説明すると、ブロックの4隅にある領域(a)の画素はそのまま自身の値を用いる。1ライン目と8ライン目の中間6画素の領域(b)の各画素は、自身の画素に1/2の重み付けをし左右隣の画素にそれぞれ1/4の重み付けをした値を合計してフィルタ処理後の自身の画素の値とする。1画素列目と8画素列目の中間6ラインの領域(c)の各画素は、自身の画素に1/2の重み付けをし上下隣の画素にそれぞれ1/4の重み付けをした値を合計してフィルタ処理後の自身の画素の値とする。ブロックの内部の6画素×6ラインの領域(d)の各画素は、自身の画素に1/4の重み付けをし、左右上下隣の画素にそれぞれ1/8の重み付けをし、斜め4隅隣の画素にそれぞれ1/16の重み付けをした値を合計してフィルタ処理後の自身の画素の値とする。

【0009】図7の動画像符号化装置において予測値を求める際のループ内フィルタのオン/オフ制御の仕方としては幾つかある。準最適な予測値の求め方の一つとしては、まず動き補償予測部13で動きベクトルとして最適な整数画素ベクトル(すなわち整数画素動き補償予測

3

を行う)を求め、この動きベクトルを持つ予測ブロックに対して、ループ内フィルタをオンした時(フィルタ演算を施した時)とオフした時(フィルタ演算を行わない時)の両方の予測値を動き補償部13において作成し、この両方の予測値について入力画面との差をとってそれぞれの予測誤差を求め、そのうち予測誤差の少ない方を選択し、その選択した予測誤差がループ内フィルタのオン時のものであれば実際にループ内フィルタ9をオンにするよう制御し、オフ時のものであればループ内フィルタ9をオフにするよう制御する。

【0010】「動き補償予測+ループ内フィルタ」方式による場合、動き補償予測部13において整数画素の動きベクトルを検出した後に更にその動きベクトルを持つ予測ブロックに対してループ内フィルタをかけた場合の演算を行うことが必要であり、そのための演算回路が必要となる。

【0011】そこで、このループ内フィルタのオン/オフ制御を簡素化した方法としてRM8方式がある。この方式では、動き補償予測部13で求めた動きベクトル(MV<sub>x</sub>, MV<sub>y</sub>)が(0, 0)でない時(すなわち動きがある時)には、ループ内フィルタをオンにするというものである。これによりループ内フィルタのオン/オフの判定のための動き補償予測部13でのループ内フィルタ演算は不要となるが、実際にフィルタ演算を行わないでオン/オフの判定を行うものであるため、前述のループ内フィルタ演算を行ってオン/オフ判定を行う方法に比べると、S/N比などにおいて良い特性が得られない。

【0012】ところで、動き補償予測方式としては、前述の整数画素動き補償予測方式に限られるものではなく、実画素と実画素の間の仮想的な1/2画素(ハーフペル)を周囲の実画素から補間により求め、その仮想画素(補間画素)をも予測画面として利用する動き補償もあり、これは1/2画素(ハーフペル)動き補償予測と呼ばれる。この1/2画素動き補償予測では動きベクトルはその大きさが整数画素刻みだけでなく、0.5画素刻みで求まる。この1/2画素動き補償予測はMPEG方式に採用されている。

【0013】図9にはこの1/2画素動き補償予測方式に動画像符号化装置の概略的な構成例が示される。図中、減算器1、量子化器3、逆量子化器4、加算器6、フレームメモリ7、可変遅延回路8は前述の図7の実施例のものと同じであり、相違点として、動き補償予測部が1/2画素で動き補償予測を行う1/2画素動き補償予測部13'からなり、またループ内フィルタ9を持っていない。

【0014】図10の(I)はこの1/2画素動き補償予測の予測画面の概念を示すものであり、図中の○印が実際の整数画素、×印が補間により求まる1/2画素(補間画素)である。この1/2画素を求める演算方法

4

は、図10の(II)に示されるように、隣り合う実際の整数画素の値をA、B、C、Dとする時、その間の1/2画素(補間画素)の値a、b、c、d、eは、それぞれ次式に従って求まる。

$$a = (A + B) / 2$$

$$b = (A + c) / 2$$

$$c = (A + B + C + D) / 4$$

$$d = (B + D) / 2$$

$$e = (C + D) / 2$$

10 【0015】

【発明が解決しようとする課題】このように、従来の動画像符号化装置におけるループ内フィルタのオン/オフ制御の方法は、オン/オフ判定のためにループ内フィルタ演算を行う場合にはそのための演算回路が必要となって装置規模が増大し、また動きベクトルで動きがあるか否かだけでオン/オフ判定を行う場合には特性が劣化するという問題点がある。

【0016】また、装置をLSI等により造るにあたっては、上述のH.261方式とMPEG方式のものをそれぞれ別々に造るのではなく、単一のLSIでその両者に適用できる汎用的なものを造ることが望ましい。

【0017】本発明はかかる問題点に鑑みてなされたものであり、その目的とするところは、1/2画素動き補償予測方式とループ内フィルタ方式とをうまく組み合わせることにより、ループ内フィルタのオン/オフ判定のためのループ内フィルタ演算を特別に行わなくとも、それと近似的な演算によりループ内フィルタのオン/オフ制御を可能にし、演算回路等を増加させることなく良好な特性を得るようにすることにある。

30 【0018】

【課題を解決するための手段】図1は本発明に係る原理説明図である。図1において、21は入力画面と予測画面との差をとって予測誤差信号を出力する減算器、22は予測誤差信号を量子化する量子化器、23は量子化器22の出力信号を逆量子化する逆量子化器、24は逆量子化した予測誤差信号に予測画面を加算して局部復号信号を出力する加算器、25は局部復号した信号をフレーム単位に保持するフレームメモリ、26はフレームメモリの出力信号を可変遅延する可変遅延回路、27は可変遅延回路8から出力される予測値にフィルタをかけるループ内フィルタ、28は入力画面とフレームメモリ25の局部復号された画面とを比較しその結果に基づいて1/2画素刻みの動きベクトルMVを生成して可変遅延回路26の制御を行う1/2画素動き補償予測部、29は1/2画素動き補償予測部28からの動きベクトルに基づいてループ内フィルタ27のオン/オフを判定してオン/オフ制御信号を出力する判定部である。

【0019】本発明の動画像符号化装置は、一つの形態として、1/2画素による動き補償予測を行って1/2画素刻みの大きさの動きベクトルを求める1/2画素動

50

5

き補償予測部 28 と、予測画面にフィルタをかけるループ内フィルタ 27 と、 $1/2$  画素動き補償予測部 28 により求められた動きベクトルが  $1/2$  画素ベクトルの時にループ内フィルタ 27 をオンにするオン/オフ制御信号をループ内フィルタ 27 に出力する判定部 29 とを備えたものである。

【0020】また本発明の動画像符号化装置は、他の形態として、 $1/2$  画素による動き補償フレーム間予測を行って  $1/2$  画素刻みの大きさの動きベクトルを求める  $1/2$  画素動き補償予測部と、予測画面にフィルタをかけるループ内フィルタと、 $1/2$  画素動き補償予測部により求められた動きベクトルが  $1/2$  画素ベクトルであり、かつ動きベクトルのノルムが所定のしきい値より大きかった時にループ内フィルタをオンに制御するオン/オフ制御信号をループ内フィルタに出力する判定部とを備えたものである。

【0021】上述の動画像符号化装置において、 $1/2$  画素動き補償予測部で求められた動きベクトルが  $1/2$  画素ベクトルである時には、その  $1/2$  画素ベクトルを整数画素ベクトルに整数化して送信し、その整数化をする際に  $(0, 0)$  ベクトルに近づくよう小数部を切捨てて整数化するように構成することができる。

【0022】

【作用】本発明では、 $1/2$  画素動き補償予測部 28 において  $1/2$  画素を求める演算を、近似的にオン/オフ判定のためのループ内フィルタ演算と見なして、フィルタのオン/オフ制御を行う。このように見なすと、 $1/2$  画素動き補償予測部 28 において動きベクトルとして  $1/2$  画素ベクトルが求められた場合、これは従来法により予測ブロックに対してループ内フィルタ演算を行ったブロックと行わないブロックとを比較した時にループ内フィルタ演算を行ったブロックの方が予測誤差が小さいと判定されるのと近似的に同じであると考えることができるので、この場合には判定部 29 でそれを判定してループ内フィルタ 27 をオンにするよう制御する。

【0023】また、ループ内フィルタ 27 をオンにする条件としては、上述の動きベクトルが  $1/2$  画素ベクトルか整数画素ベクトルかによるだけでなく、その条件に加えて、動きベクトルのノルムが所定のしきい値より大きい場合（すなわち動きがあった場合だけ）にループ内フィルタをオンにするよう制御してもよく、それにより、より適切なオン/オフ制御が可能になる。

【0024】受信側に送る動きベクトルとして整数画素ベクトルが必要である場合には、 $1/2$  画素動き補償予測部 28 で求めた  $1/2$  画素刻みの動きベクトルの小数部を切り捨てて整数ベクトル化する。その際、整数化を  $(0, 0)$  ベクトルに近づくように行えば、送るべき情報をより削減することができる。

【0025】

【実施例】以下、図面を参照して本発明の実施例を説明

6

する。図 2 には本発明の一実施例としての動画像符号化装置の構成が示される。この実施例は H. 261 方式に適用できるように「動き補償予測+ループ内フィルタ」の機能を持っている。図 2 において、減算器 1、DCT 回路 2、量子化器 3、逆量子化器 4、IDCT 回路 5、加算器 6、フレームメモリ 7、可変遅延回路 8、ループ内フィルタ 9 は前述の従来例で説明したものと同一機能のものである。

【0026】従来例との相違点として、動き補償予測部は、動きベクトルを  $1/2$  画素刻みに演算して  $1/2$  動き補償予測を行う  $1/2$  動き補償予測部 10 と、この  $1/2$  動き補償予測部 10 から出力される動きベクトル（ $1/2$  画素刻みの大きさの動きベクトル）に基づいてループ内フィルタ 9 のオン/オフを判定してそのオン/オフ制御信号をループ内フィルタ 9 に送出するフィルタ判定部 11 とからなる。

【0027】このフィルタ判定部 11 では、 $1/2$  動き補償予測部 10 からの動きベクトルが、 $1/2$  画素ベクトル（すなわち整数+0.5 の大きさを持つベクトル）のものであった時にループ内フィルタ 9 をオンに、一方、整数画素ベクトル（すなわち整数の大きさを持つベクトル）であった時にオフするよう制御する。図 4 にはこのフィルタ判定部 11 の構成例が示される。ここでは、動きベクトル  $(MV_x, MV_y)$  は  $m$  ビットからなり、その最下位ビット LSB が少数部となる。フィルタ判定部 11 は X 方向動きベクトル  $MV_x$  の少数部  $(MV_x - \text{LSB})$  と Y 方向動きベクトル  $MV_y$  の少数部  $(MV_y - \text{LSB})$  がそれぞれ入力されるオアゲート 111 からなり、このオアゲート 111 の出力信号がループ内フィルタ 9 のオン/オフ制御信号となる。

【0028】またこのフィルタ判定部 11 は入力された  $1/2$  画素刻みの動きベクトル  $MV$  を整数画素刻みの動きベクトル  $(IMV)$  に整数化する整数化回路を更に備えている。この回路が必要なのは CCITT 勧告 H. 261 では受信側に送る動きベクトルが整数画素ベクトルであるからである。図 4 にはこの整数化回路の構成例が示される。この整数化回路は少数部切捨てにより整数化を行うものであって、この整数化回路が X 方向と Y 方向の動きベクトルについてそれぞれ用意されている。

【0029】この整数化回路は、図示するように、加算器 112 とセクタ 113 からなる。加算器 112 は、入力された動きベクトル ( $m$  ビット) の最下位ビット LSB (少数部) に “1” を加算して出力する。セクタ 113 は、入力された動きベクトル ( $m$  ビット) と加算器 112 からの出力信号とがそれぞれ入力端子 IN0、IN1 に入力されており、動きベクトル  $MV$  の最上位ビット MSB (符号ビット) によりそれが “0” の時に入力端子 IN0 側、“1” の時に入力端子 IN1 側を選択するよう切替えを行い、出力信号としては動きベクトル  $MV$  の上位側の  $(m-1)$  ビット（すなわち少数部を除

7

いた整数部) を出力する。

【0030】これにより、例えば、入力した動きベクトルが十進数+3.5に対応する二進数“00000011.1”である時にはその値がセクタ113で選択されてそのLSBを除去した値“00000011”(=+3)が出力され、一方、十進数-3.5に対応する二進数“11111100.1”である時には、そのLSBに加算器112で“1”を加算された値“11111101.0”がセクタ113で選択されてそのLSBを除去した値“11111101”(=-3)が出力される。このように、この整数化回路では、(0,0)ベクトルに近い方向へ整数化を行っており、それにより伝送する動きベクトルのビット数ができるだけ少なくなるよう、すなわち伝送情報量をできるだけ削減できるようにしている。

【0031】この実施例装置の動作は、前述したように、1/2動き補償予測部10で1/2画素刻みに演算された動きベクトルMVがそのX方向またはY方向の少なくとも一方において1/2画素ベクトルである場合には、フィルタ判定部11がそれを判定してフィルタオン制御信号を出力してループ内フィルタ9をオンにし、一方、動きベクトルが整数画素ベクトルである場合にはフィルタオフ制御信号を出力してループ内フィルタ9をオフにするというものである。

【0032】このように、動きベクトルが1/2画素ベクトルであるか整数画素ベクトルであるかによりループ内フィルタのオン/オフ制御を行うものであるが、このような制御により適切にフィルタのオン/オフを行える理由は、ループ内フィルタを演算する関数(図8に相当)も1/2画素を求めるためのフィルタ関数(図10に相当)も共にローパスフィルタ関数であるので、図8のループ内フィルタ演算のフィルタ関数の代わりに図10の1/2画素演算のフィルタ関数をループ内フィルタの近似関数として用いてオン/オフ判定を行うことで、近似的に準等価な演算を行い得るからである。

【0033】すなわち、1/2動き補償予測部10で求められた動きベクトルが1/2画素ベクトルであったということは、実際の整数画素の予測ブロック(すなわち何らの演算も行っていないブロック)よりも補間により求まる1/2画素の予測ブロック(すなわち1/2画素演算により近似的なループ内フィルタ関数をかけたブロック)の方が予測誤差が小さかったということであり、これは予測ブロックに対してループ内フィルタ演算をしてオン/オフを判定する従来の方法でループ内フィルタをかけたブロックの方が予測誤差が小さくなると判定されたことと近似的に同じと考えることができ、したがって得られた動きベクトルが1/2画素ベクトルであった時にループ内フィルタをオンとするようにオン/オフ制御をすれば符号化特性を上ることが期待できる。

【0034】図5には、本実施例の動画像符号化装置を

8

用いた場合と前述のRM方式の動画像符号化装置を用いた場合の計算機シミュレーションによる伝送レート:SN比特性が示される。図において、横軸が伝送レート(×64 kbps)、縦軸がS/N比(dB)であり、図中の口印の特性(イ)が本実施例方式、△印の特性(ロ)がRM8方式のものである。この図からも明らかのように、本方式による方がRM8方式よりも約0.2~0.5dBだけS/N比が改善され、特に伝送レートが高くなるに従ってその改善効果が大きくなる。これはRM8方式ではフィルタのオン/オフ判定のためにループ内フィルタ演算を全く行わないのに対し、本方式では1/2画素演算により近似的にそれを行っているの、その分、S/N比が改善されるものである。

【0035】なお、この実施例装置はH.261方式に適用できる回路構成となっているが、1/2動き補償予測部を持っているものであるから回路構成を若干変更するだけでMPEG方式にも容易に対応可能であり、これは装置を作成する場合にH.261方式にもMPEG方式にも対応できる汎用性のある回路を単一のLSIで作成できるという点で利点となる。

【0036】本発明の実施にあたっては種々の変形形態が可能である。図6にはかかる変形例の一つが示される。この例は前述の実施例のフィルタ判定部の構成を変えたものである。図示のように、X方向動きベクトルMV<sub>x</sub>を所定のしきい値TH1と比較する比較器114と、Y方向動きベクトルMV<sub>y</sub>を所定のしきい値TH2と比較する比較器115と、X方向動きベクトルMV<sub>x</sub>の小数部(MV<sub>x</sub>-LSB)とY方向動きベクトルMV<sub>y</sub>の小数部(MV<sub>y</sub>-LSB)が入力されるオアゲート116と、これら比較器114、115とオアゲート116の出力信号が入力されてオン/オフ制御信号を出力するアンドゲート117とからなる。

【0037】この変形例は、上述の実施例に前述したRM8方式の考え方も取り入れたものであり、動きベクトル(MV<sub>x</sub>, MV<sub>y</sub>)の大きさが所定のしきい値(TH1, TH2)以下の時にはフィルタをオンにしないようにしている。すなわち、動きベクトルMVのX方向、Y方向の大きさの少なくとも一方がそれぞれのしきい値TH1, TH2より大きく、かつ1/2画素ベクトルであった場合に、ループ内フィルタ9をオンにするよう制御している。

【0038】なお、この変形例では動きベクトルの大きさがしきい値を超えるか否かをそれぞれのX方向成分MV<sub>x</sub>とY方向成分MV<sub>y</sub>がそれぞれのしきい値TH1, TH2を超えるか別々に判定して行っているが、本発明はこれに限られるものではない。例えば動きベクトルの絶対値|MV|=(MV<sub>x</sub><sup>2</sup>+MV<sub>y</sub><sup>2</sup>)<sup>1/2</sup>が所定のしきい値を超えているか否かで行ってよい。すなわちループ内フィルタをオンにする条件として、動きベクトルMVとして1/2画素ベクトルが求まり、かつその動

9

きベクトル $MV$ のノルムが所定のしきい値より大きかった時とすることができる。

【0039】

【発明の効果】以上に説明したように、本発明によれば、1/2画素動き補償予測回路をそのまま使用してループ内フィルタのオン／オフ制御ができるので、フィルタオン／オフ判定のためのループ内フィルタ演算を特別に行わなくともよいようになる。また得られる特性は近似的にループ内フィルタ演算を行ってオン／オフ判定を行ったものとなるから、従来のRM8方式に比べて改善され、特に伝送レートの高い時に符号化効率の向上が大きくなる。

【0040】また本発明装置は1／2画素動き補償予測回路をその内部に含むものであるから、本装置はH. 261方式などの「動き補償予測＋ループ内フィルタ」方式に適用できるだけでなく、若干の回路変更によりMP EG方式等にも容易に適用可能であり、装置の汎用性を増すことができ、LSI化する際に有利である。

【図面の簡単な説明】

【図１】本発明に係る原理説明図である。

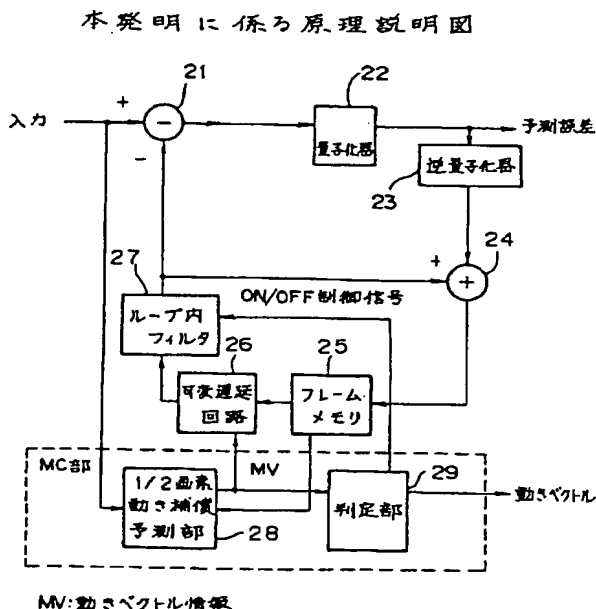
【図２】本発明の一実施例としての動画像符号化装置を示すブロック図である。

【図３】実施例装置におけるフィルタ判定部の構成を示すブロック図である。

【図4】実施例装置におけるフィルタ判定部の整数化回路を示すブロック図である。

【図5】ループ内フィルタ制御の計算器シミュレーションによるS/N比特性を本発明方式とRM8方式と比較して示す図である。

【図 1】



10

【図6】本発明の他の実施例としてのフィルタ判定部の構成を示すブロック図である。

【図7】従来のCCITT勧告H.261方式による動画像符号化装置を示すブロック図である。

【図8】従来装置におけるループ内フィルタ特性の例を示す図である。

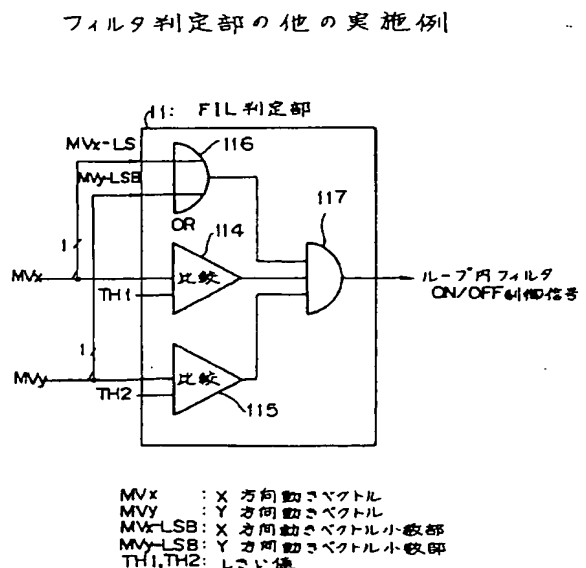
【図9】MPEG方式による動画像符号化装置を示す図である。

【図10】1/2画素動き補償予測の予測画面の概念を示す図である。

【符号の説明】

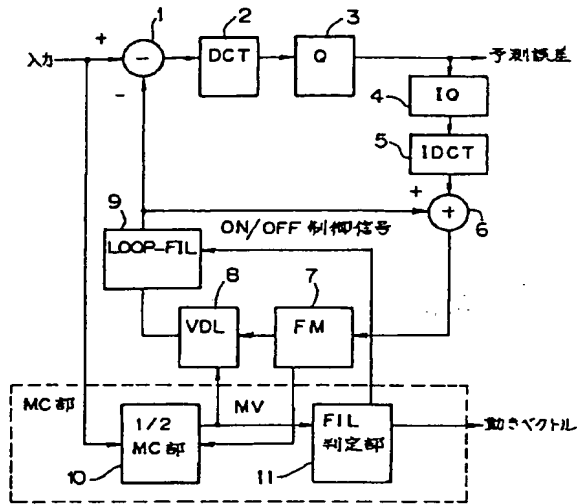
- 1 減算器
- 2 DCT (離散コサイン変換) 回路
- 3 量子化器
- 4 逆量子化器
- 5 IDCT (離散コサイン逆変換) 回路
- 6 加算器
- 7 フレームメモリ
- 8 可変遅延回路
- 9 ループ内フィルタ
- 10 1/2画素動き補償予測部
- 11 フィルタ判定部
- 13 動き補償予測部
- 111、116 オアゲート
- 112 加算器
- 113 セレクタ
- 114、115 比較器
- 117 アンドゲート

【図 6】



【図2】

本発明の実施例

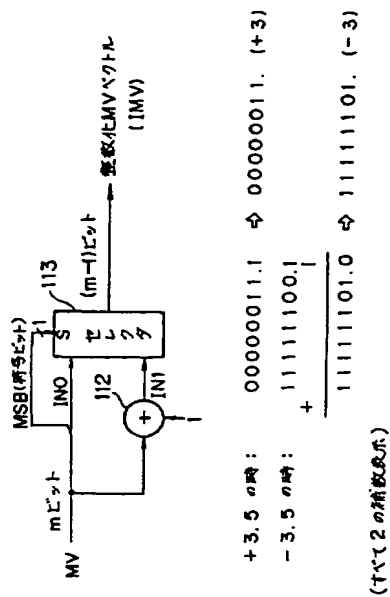


MV:動きベクトル情報

LOOP-FIL: ループ内フィルタ  
 DCT: 離散コサイン変換回路  
 Q: 量子化器  
 FM: フレームメモリ  
 VDL: 可変遅延回路  
 MC: 動き補償予測部  
 IDCT: 離散コサイン逆変換回路  
 IO: 逆量子化器

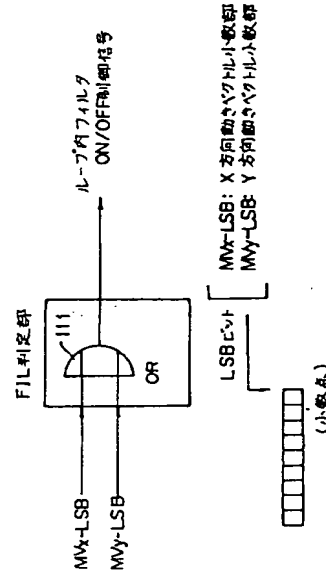
【図4】

実施例における整数化回路の構成



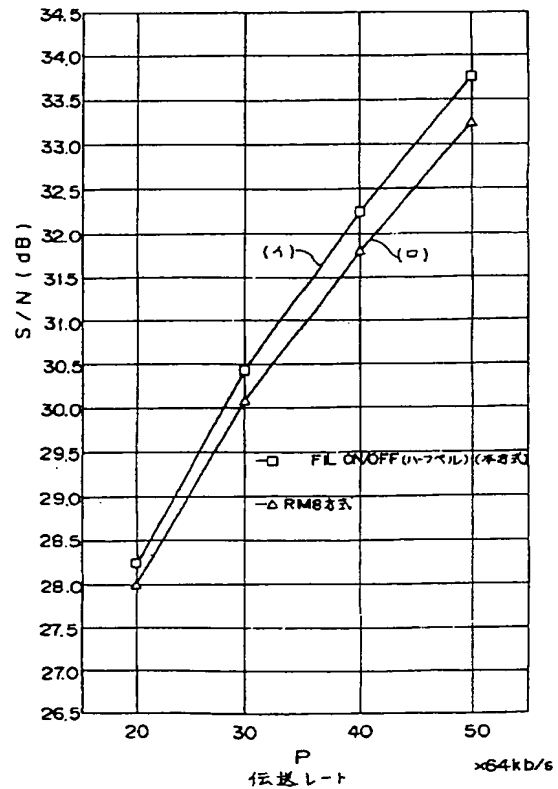
【図3】

実施例におけるフィルタ判定部の構成



【図5】

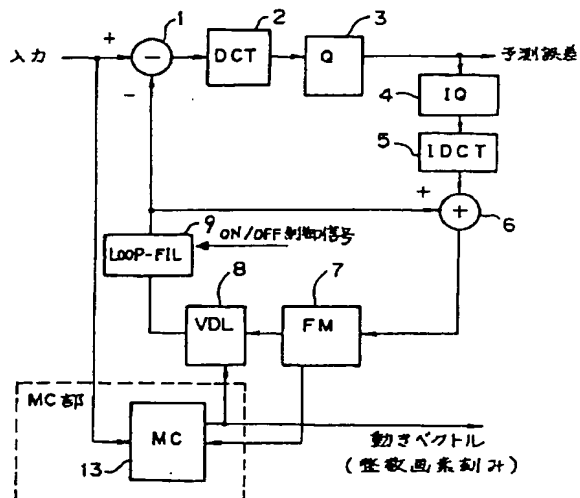
S/N特性の計算機シミュレーション





【図7】

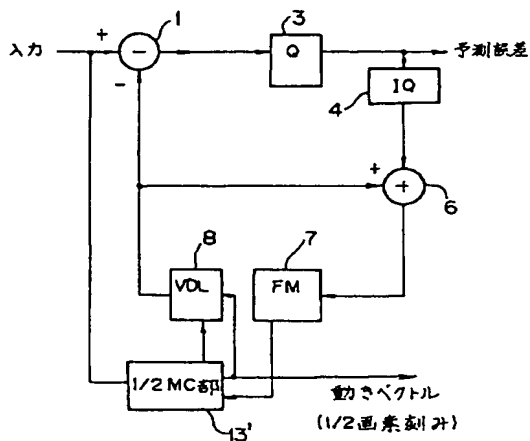
従来例（動き補償予測+ループ内フィルタ）



Q: 量子化器  
 IQ: 逆量子化器  
 FM: フレームメモリ  
 VDL: 可変遅延  
 MC: 動き補償予測部  
 DCT: 離散コサイン変換回路  
 IDCT: 離散コサイン逆変換回路  
 LOOP-FIL: ループ内フィルタ

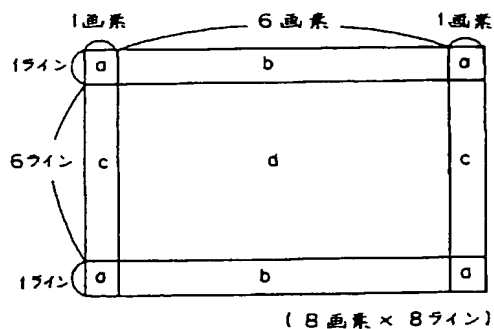
【図9】

従来例（1/2画素動き補償予測）



【図8】

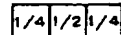
ループ内フィルタ特性の例



(a) 四隅部分



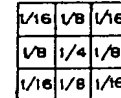
(b) 上下端



(c) 左右端

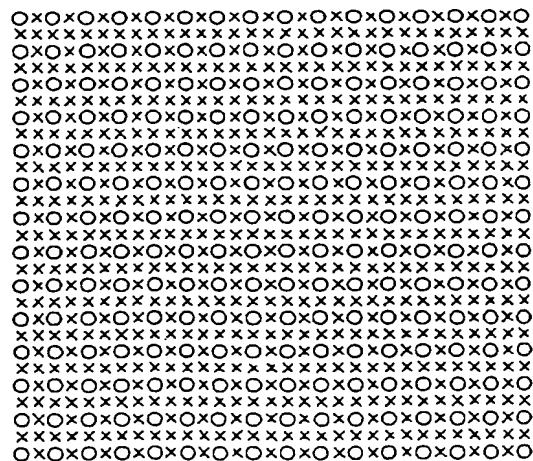


(d) 内部領域



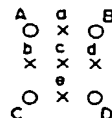
【図10】

1/2画素動き補償予測の予測画面の概念図



O: 実際の整数画素  
 X: 補間により得られる1/2画素

(I)



$$\begin{aligned} a &= (A+B)/2 \\ b &= (A-C)/2 \\ c &= (A+B+C+D)/4 \\ d &= (B+D)/2 \\ e &= (C+D)/2 \end{aligned}$$

(II)

## フロントページの続き

(72)発明者 江口 勝博  
福岡県福岡市博多区博多駅前3丁目22番8  
号 富士通九州デジタル・テクノロジー株  
式会社内

(72)発明者 藤後 努  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内  
(72)発明者 松田 喜一  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内